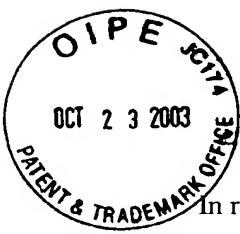


PATENT APPLICATION



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA et al.

Application No.: 10/676,072

Filed: October 2, 2003

Docket No.: 117391

For: CIRCUIT SUBSTRATE, MANUFACTURING METHOD THEREOF,
ELECTRO-OPTICAL DEVICE, AND ELECTRONIC APPARATUS

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-314922, filed October 29, 2002.

In support of this claim, a certified copy of said original foreign application:

X is filed herewith.

_____ was filed on _____ in Parent Application No. _____ filed _____.
_____ will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

Date: October 23, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE
AUTHORIZATION
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月29日
Date of Application:

出願番号 特願2002-314922
Application Number:
[ST. 10/C] : [JP2002-314922]

出願人 セイコーホームズ株式会社
Applicant(s):

2003年 9月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 J0091476
【あて先】 特許庁長官殿
【国際特許分類】 G02F 1/136
【発明者】
【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
【氏名】 松枝 洋二郎
【発明者】
【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
【氏名】 中西 早人
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100079108
【弁理士】
【氏名又は名称】 稲葉 良幸
【選任した代理人】
【識別番号】 100080953
【弁理士】
【氏名又は名称】 田中 克郎
【選任した代理人】
【識別番号】 100093861
【弁理士】
【氏名又は名称】 大賀 真司

【手数料の表示】**【予納台帳番号】** 011903**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9808570**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 回路基板、その製造方法、電気光学装置および電子機器

【特許請求の範囲】

【請求項 1】 基板上に形成された複数の端子と、
一以上の互いに隣接する前記端子間に形成された抵抗と、を備え、
前記複数の端子は、アナログ信号を供給するためのアナログ信号用配線に接続
されたアナログ端子と、デジタル信号を供給するためのデジタル信号用配線に接
続されたデジタル端子と、を含み、
少なくとも一端が前記アナログ端子に接続された前記抵抗は、前記デジタル端
子間に接続された前記抵抗よりも高い抵抗値を有する回路基板。

【請求項 2】 基板上に形成された複数の端子と、
一以上の互いに隣接する前記端子間に形成された抵抗と、を備え、
前記複数の端子は、データ信号を供給するためのデータ配線に接続された第1
の端子と、制御信号を供給するための制御配線に接続された第2の端子と、を含
み、
少なくとも一端が前記アナログ端子に接続された前記抵抗は、前記デジタル端
子間に接続された前記抵抗よりも高い抵抗値を有する回路基板。

【請求項 3】 基板の周囲に形成された共通電極用配線と、
前記基板上に形成された複数の端子と、
一以上の前記端子と前記共通電極用配線との間に形成された抵抗と、を備え、
複数の前記端子は、アナログ信号を供給するためのアナログ信号用配線に接続
されたアナログ端子と、デジタル信号を供給するためのデジタル信号用配線に接
続されたデジタル端子と、を含み、
前記アナログ端子に接続された前記抵抗は、前記デジタル端子に接続された前
記抵抗よりも高い抵抗値を有する回路基板。

【請求項 4】 基板の周囲に形成された共通電極用配線と、
前記基板上に形成された複数の端子と、
一以上の互いに隣接する前記端子間に形成された第1抵抗と、
一以上の前記端子と前記共通電極用配線との間に形成された第2抵抗と、を備

えた回路基板。

【請求項5】 同一の前記端子に前記第1抵抗と前記第2抵抗とが接続され
ており、前記第1抵抗は、前記第2抵抗よりも高い抵抗値を有する、請求項4に
記載の回路基板。

【請求項6】 複数の前記端子は、アナログ信号を供給するためのアナログ
信号用配線に接続されたアナログ端子と、デジタル信号を供給するためのデジタ
ル信号用配線に接続されたデジタル端子と、を含み、

少なくとも一端が前記アナログ端子に接続された前記第1抵抗および前記第2
抵抗のいずれもが、前記デジタル端子間に接続された前記第1抵抗および当該デ
ジタル端子と前記共通電極用配線との間に接続された前記第2抵抗よりも高い抵
抗値を有する、請求項5に記載の回路基板。

【請求項7】 電源に接続された電源端子をさらに備え、
前記電源端子と隣接した電源供給以外の目的で設けられた非電源端子との間に
抵抗を備える、請求項1乃至6のいずれか一項に記載の回路基板。

【請求項8】 前記抵抗は、他の非電源端子に接続された抵抗と同じまたは
低い抵抗値を有する、請求項7に記載の回路基板。

【請求項9】 基板の周囲に形成された共通電極用配線と、
アナログ信号を供給するためのデータ線に接続されたデータ線端子と、
デジタル信号を供給するための制御信号線に接続された制御信号端子と、
陰極電源または陽極電源を供給するための電源端子と、
隣接する各前記端子間に接続された第1抵抗と
各前記端子間に接続された第2抵抗と、を備える回路基板。

【請求項10】 同一の前記端子に前記第1抵抗と前記第2抵抗とが接続さ
れている場合、前記第1抵抗は、前記第2抵抗よりも高い抵抗値を有する、請求
項9に記載の回路基板。

【請求項11】 少なくとも一端が前記データ端子に接続された前記第1抵抗お
よび前記第2抵抗のいずれもが、前記制御信号端子間に接続された前記第1抵抗
、前記制御信号端子と前記電源端子との間に接続された前記第1抵抗、前記制御
信号端子と前記共通電極用配線との間に接続された前記第2抵抗、および前記電

源端子と前記共通電極用配線との間に接続された前記第2抵抗のいずれよりも高い抵抗値を有する、請求項10に記載の回路基板。

【請求項12】 請求項1乃至請求項11のいずれか一項に記載の回路基板において、前記抵抗は半導体膜で形成されている回路基板。

【請求項13】 請求項1乃至請求項11のいずれか一項に記載の回路基板において、前記抵抗は互いに逆極性のPN接合を利用した保護回路構造を備える回路基板。

【請求項14】 請求項1乃至請求項13のいずれか一項に記載の回路基板を備える電気光学装置。

【請求項15】 前記電気光学装置を備える、請求項14に記載の電子機器。

【請求項16】 周囲に共通電極用配線および当該共通電極用配線の内側に複数の端子を備えた回路基板の製造方法であって、

一以上の互いに隣接する前記端子間に相当する領域に第1抵抗構造を形成する工程と、

一以上の前記端子と前記共通電極用配線との間に相当する領域に第2抵抗構造を形成する工程と、

前記第1抵抗構造または/および前記第2抵抗構造の一部に電気的に接触する前記端子を形成する工程と、

前記第2抵抗構造の一部に電気的に接触する前記共通電極用配線を形成する工程と、を備えた回路基板の製造方法。

【請求項17】 前記第1抵抗構造が前記第2抵抗構造よりも高い抵抗値を有するように、当該第1抵抗構造と当該第2抵抗構造とを形成する、請求項16に記載の回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は、表示パネル等の電気光学装置に用いられる回路基板に係り、特に、回路基板の製造中および使用中における静電破壊防止対策の改良に関する。

【0002】**【従来の技術】**

アクティブマトリクス駆動型の液晶表示パネルやEL（エレクトロルミネッセンス）表示パネルなどの電気光学装置に用いられる回路基板には、製造中や使用中に発生する静電気から内部回路の破壊を防止するための静電保護対策が施されているものがある。

【0003】

従来考案されていた静電保護対策としては、特開昭58-116573号公報（特許文献1）、特開昭63-106788号公報（特許文献2）等に開示されているように、製造中に端子間を短絡または抵抗接続する保護パターンで相互接続し完成後にこの保護パターンを切断するものや、特開平2-24229号公報（特許文献3）、特開平7-181516号公報（特許文献4）、特開平7-175086号公報（特許文献5）等に開示されているように、製造中に実装端子よりも外側の基板の縁に沿って、全ての実装端子を短絡するものがあった。

【0004】

また、特開昭63-085586号公報（特許文献6）、特開平2-061618号公報（特許文献7）、特開平6-273783号公報（特許文献8）、特開平8-179360号公報（特許文献9）等に開示されているように、データ線及び走査線間に動作に支障の無い程度の抵抗を付加する等の措置を施すことにより、電気的検査工程の後まで保護パターンの切断除去工程を省略すると共に製品段階における静電破壊を防止することが可能な静電保護対策が考案されていた。

【0005】

【特許文献1】 特開昭58-116573号公報

【特許文献2】 特開昭63-106788号公報

【特許文献3】 特開平2-24229号公報

【特許文献4】 特開平7-181516号公報

【特許文献5】 特開平7-175086号公報

【特許文献6】 特開昭63-085586号公報

【特許文献 7】 特開平2-061618号公報

【特許文献 8】 特開平6-273783号公報

【特許文献 9】 特開平8-179360号公報

【0006】

【発明が解決しようとする課題】

しかしながら、アナログ信号デジタル信号異なる種類の信号や電位を与えるための配線が設けられた回路基板において、クロストークの発生を防止しつつ効果的な静電破壊防止をするための回路基板の形態については特に開示されていなかった。

【0007】

また各端子に所定の保護パターンを形成する点は明らかにされていたが、相互の保護パターンにおける関係がどうあるべきかについては明らかではなかった。

【0008】

上記課題に鑑み、本発明は、異なる種類の信号や電位を与えるための配線が設けられるアナログ信号デジタル信号場合等に好適な静電破壊防止機能を備えた回路基板、その製造方法、電気光学装置および電子機器を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明は、基板上に形成された複数の端子と、一以上の互いに隣接する端子間に形成された抵抗と、を備える。複数の端子は、アナログ信号を供給するためのアナログ信号用配線に接続されたアナログ端子と、デジタル信号を供給するためのデジタル信号用配線に接続されたデジタル端子と、を含む。そして、少なくとも一端がアナログ端子に接続された抵抗は、デジタル端子間に接続された抵抗よりも高い抵抗値を有する回路基板である。

【0010】

アナログ信号はクロストークの影響を受けるので、静電破壊防止を配慮しつつも、デジタル信号よりは隣接する配線の影響を少なくしなければならない。本願発明によれば、アナログ端子に接続された抵抗がデジタル端子間のそれよりも高

いので、総ての端子において抵抗による静電保護を図りつつ、アナログ端子におけるクロストークの発生を極力排除できるという効果を奏する。

【0011】

なお、「アナログ端子に接続」とは、抵抗の少なくとも一端が接続されていることを意味し、「デジタル端子間に接続」とは抵抗の両端がデジタル端子間に接続されていることを意味する。

【0012】

また、本発明において「回路基板」とは、異なる種類の信号や電位を与えるための配線が設けられた基板をいい、その回路構成には限定はない。例えば、表示機能を有する表示パネル基板であったりコンピュータに用いられる基板であつたりする。

【0013】

また本発明において「抵抗」とは、ポリシリコン等の半導体膜で構成されるような、所定の抵抗値を有する抵抗膜構造のみならず、半導体のP N接合における順方向電圧特性や逆方向電圧の降伏現象を利用した保護回路を、膜構造と共にあるいは膜構造の代わりに用いる場合も含む。例えば、抵抗は互いに逆極性のP N接合を利用した保護回路構造（例えば、順方向および逆方向のダイオードを並列接続したもの）を備えていてもよい。

【0014】

また本発明は、基板の周囲に形成された共通電極用配線と、基板上に形成された複数の端子と、一以上の端子と共に共通電極用配線との間に形成された抵抗と、を備え、複数の端子は、アナログ信号を供給するためのアナログ信号用配線に接続されたアナログ端子と、デジタル信号を供給するためのデジタル信号用配線に接続されたデジタル端子と、を含む。そして、アナログ端子に接続された抵抗は、デジタル端子に接続された抵抗よりも高い抵抗値を有する回路基板である。

【0015】

また本発明は、基板の周囲に形成された共通電極用配線と、基板上に形成された複数の端子と、一以上の互いに隣接する端子間に形成された第1抵抗と、一以上の端子と共に共通電極用配線との間に形成された第2抵抗と、を備えた回路基板で

ある。

【0016】

すなわち、第1抵抗と第2抵抗とが並列して接続されている場合には、アナログ端子において隣接する端子との間の第1抵抗がある程度高い抵抗値であっても、並列接続によって合成抵抗値が大幅に低減し、効果的に静電破壊防止を図ることができるのである。

【0017】

ここで、同一の端子に第1抵抗と第2抵抗とが接続されている場合、第1抵抗は、第2抵抗よりも高い抵抗値を有することが好ましい。共通電極用配線に繋がる第2抵抗が低抵抗なので、第2抵抗の方に、より多くの静電電流が流れ、内部回路を静電放電から効果的に防止できる。

【0018】

ここで、複数の端子は、アナログ信号を供給するためのアナログ信号用配線に接続されたアナログ端子と、デジタル信号を供給するためのデジタル信号用配線に接続されたデジタル端子と、を含む。そして、少なくとも一端がアナログ端子に接続された第1抵抗および第2抵抗のいずれもが、デジタル端子間に接続された第1抵抗および当該デジタル端子と共に電極用配線との間に接続された第2抵抗よりも高い抵抗値を有する。クロストークを発生しやすいアナログ信号が流れるアナログ端子の方が高い抵抗値を有するので、静電破壊防止を図りつつクロストークの発生を拳力抑えることができる。

【0019】

本発明は、電源に接続された電源端子をさらに備え、電源端子と隣接した電源供給以外の目的で設けられた非電源端子との間に抵抗を備える。電源端子は低インピーダンスであるため、電源端子と抵抗で接続すれば静電破壊防止を効果的に図ることができる。

【0020】

ここで、抵抗は、他の非電源端子に接続された抵抗と同じまたは低い抵抗値を有する。電源端子についても共通電極用配線と同様に相対的に低い抵抗値の抵抗で接続すれば、より多くの電流を、この抵抗を介して電源端子に流すことができ

る。

【0021】

本発明は、基板の周囲に形成された共通電極用配線と、アナログ信号を供給するためのデータ線に接続されたデータ端子と、デジタル信号を供給するための制御信号線に接続された制御信号端子と、陰極電源または陽極電源を供給するための電源端子と、隣接する各端子間に接続された第1抵抗と、各端子間に接続された第2抵抗と、を備える回路基板である。

【0022】

ここで、同一の端子に第1抵抗と第2抵抗とが接続されている場合、第1抵抗は、第2抵抗よりも高い抵抗値を有することが好ましい。共通電極用配線に繋がる第2抵抗が低抵抗なので、第2抵抗の方に、より多くの静電電流が流れ、内部回路を静電放電から効果的に防止できるからである。

【0023】

ここで、少なくとも一端がデータ端子に接続された第1抵抗および第2抵抗のいずれもが、制御信号端子間に接続された第1抵抗、制御信号端子と電源端子との間に接続された第1抵抗、制御信号端子と共に電極用配線との間に接続された第2抵抗、および電源端子と共に電極用配線との間に接続された第2抵抗のいずれよりも高い抵抗値を有することは好ましい。データ端子にはクロストークを生じやすいアナログ信号が流れているので、このデータ端子に繋がる抵抗を相対的に高い抵抗値にしておくことは、静電破壊防止を図りつつクロストークを極力防止する上で好ましい。

【0024】

本発明は、本発明の構成を備えた回路基板を備える電気光学装置であり、さらにこの電気光学装置を備える電子機器もある。

【0025】

ここで「電気光学装置」は電気光学的作用によって電気信号の変化を光の変化に変換可能な装置をいい、その構成に特に限定は無いが、例えば、アクティブマトリクス型の駆動方法で液晶層を駆動可能に構成された液晶表示パネルやEL素子を駆動可能に構成されたEL表示パネル等をいう。

【0026】

また「電子機器」は電気光学装置を一部に備えて所定の目的とする機能を奏する装置をいい、その構成に特に限定は無いが、例えば、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型TV、DSP装置、PDA、電子手帳等をいう。

【0027】

さらに本発明は、周囲に共通電極用配線および当該共通電極用配線の内側に複数の端子を備えた回路基板の製造方法であって、一以上の互いに隣接する端子間に相当する領域に第1抵抗構造を形成する工程と、一以上の端子と共通電極用配線との間に相当する領域に第2抵抗構造を形成する工程と、第1抵抗構造または/および第2抵抗構造の一部に電気的に接触する端子を形成する工程と、第2抵抗構造の一部に電気的に接触する共通電極用配線を形成する工程と、を備えた回路基板の製造方法である。

【0028】

なお、第1抵抗構造を形成する工程および第2抵抗構造を形成する各工程は別工程である必要はない。同一の抵抗膜を利用することにより同一工程で両抵抗構造を形成してもよい。同様に、端子を形成する工程および共通電極用配線を形成する工程は別工程である必要はない。同一の金属層を利用することにより端子と共通電極用配線とを同一工程で形成してもよい。

【0029】

ここで第1抵抗構造が第2抵抗構造よりも高い抵抗値を有するように、当該第1抵抗構造と当該第2抵抗構造とを形成することは好ましい。共通電極用配線に繋がる第2抵抗が低抵抗なので、第2抵抗の方に、より多くの静電電流が流れ、内部回路を静電放電から効果的に防止できるからである。

【0030】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照しながら説明する。

＜実施形態1＞

本発明の実施形態1は、電気光学素子としてEL素子を備えたEL表示パネルを形成するための回路基板に本発明を適用したものである。特に、本実施形態では、デジタル信号が流れる走査回路用の制御信号線がアナログ信号を流すデータ線と隣接している場合の回路基板に関する。

【0031】

図1に本実施形態1のEL表示パネル1の平面図を示す。図1に示すように、本回路基板1は、基板100上に、陰極配線10aおよび10b、陽極配線11aおよびb、走査回路12aおよびb、データ線群13、並びに走査線群14が配置されて構成されている。本実施形態では大型表示パネルを想定しているため、同一の回路が一対ずつ画像表示領域DAを挟んで設けられ、両側から電源や信号等の供給をするようになっている。

【0032】

陰極配線10aおよびbは、共通電極である陰極へのコンタクト領域となっている。図示しない陰極電極膜が当該陰極配線から基板全体を覆うように形成され、図示しない各画素に形成される両極との間に形成されるEL素子の発光層（図示せず）に電流を供給することが可能になっている。陽極配線11aおよびbは、各画素に低いインピーダンスで電源を供給する走査線間電源配線を提供するために形成されている。走査回路12aおよびbは、制御信号に基づいて走査線14を選択走査するように構成されている。

【0033】

基板100の長辺には、複数の端子が形成されており、各配線は各端子に接続されている。陰極端子Vcは、インピーダンスを下げるために複数の端子に並行して接続されている。陽極端子VG,B,Rは、原色ごとに独立した電源を供給するように形成されており、インピーダンスを下げるために原色毎に複数の端子が設けられている。制御信号端子C1～C6は、走査回路12aおよびbのための制御信号を供給する端子になっている。この端子から供給されるデータは制御用のデジタル信号や走査回路用電源を含む。データ線端子XnR,G,B（ $1 \leq n \leq N$ ）は、データ線13の各々が接続される端子になっている。図1では、データ線中の電圧降下による表示むらを緩和するために赤、緑、青からなるカラー画素単位で端

子が設けられている方向が異なっている。画像表示領域DA内部に設けられる画素回路については、説明を簡単にするために図示していないが、各画素回路はデータ線群13と走査線群14とからなるアクティブマトリクスのいずれか一つのデータ線と走査線とに接続するように設けられている。そして、データ線経由でデータを各画素回路に書き込み、走査線の選択と図示しない発光制御線の制御により書き込まれたデータに対応した出力で画素回路内のEL素子が発光するようになっている。

【0034】

さて基板100の周囲には共通電極101が囲むように形成されている。さらに各端子を含み共通電極101と接続する領域が、本発明の抵抗が形成された抵抗領域102となっている。この抵抗領域102に形成された端子間抵抗（第1抵抗）に端子間が電気的に接続され、端子と共に電極との間の抵抗（第2抵抗）により端子が接地電位に電気的に接続され、静電破壊防止が図れるようになっている。

【0035】

次に図2を参照しながら、抵抗領域102における端子、共通電極、および抵抗間の接続関係を説明する。図2ではさらに説明を簡単にするため、性質の重複する多くの端子の表示を省略して示してある。

【0036】

図2に示すように、本実施形態1では、最外部から内側にかけて、陰極端子VC、陽極端子VR/VG/VB、制御信号端子CX/CY、データ線端子X1/X2の各端子が配置されている。この中で、データ線端子がアナログ信号を流すアナログ端子に相当し、制御信号端子がデジタル信号を流すデジタル端子に相当する。陰極端子が共通電極に電気的に接続されており、陽極端子が電源端子に相当している。ただし、陽極の電源がアクティブに変化する場合には、静電破壊防止対策上、陽極端子をデジタル端子として取り扱ってもよい。

【0037】

陰極端子VC、陽極端子VR/VG/VB、および制御信号端子CX/CYの各端子と共に電極101との間には抵抗R1が配置されている。また陰極端子VC、陽極

端子VR/VG/VB、および制御信号端子CX/CYの各端子間には抵抗R3が配置されている。データ線端子（X1、X2、・・・）の端子間またはデータ端子X1と制御信号端子CYとの間には抵抗R4が接続されている。またデータ線端子X1/X2の各端子と共に電極101との間には抵抗R2が接続されている。

【0038】

本発明では、少なくとも一端がアナログ端子に接続された抵抗は、デジタル端子間に接続された抵抗よりも高い抵抗値を有する。すなわち、端子間を接続する抵抗であってデータ線端子X1等に接続されている抵抗R4は、制御信号端子CXおよびCY間に接続されている抵抗R3よりも抵抗値が高く設定されている（ $R3 < R4$ ）。アナログ信号はクロストークの影響を受けるので、静電破壊防止を配慮しつつも、デジタル信号よりは隣接する配線の影響を少なくしなければならない。本願発明によれば、アナログ端子に接続された抵抗がデジタル端子間のそれよりも高いので、総ての端子において抵抗による静電破壊防止を図りつつ、アナログ端子におけるクロストークの発生を極力排除できるのである。

【0039】

また本発明では、アナログ端子に接続された抵抗は、デジタル端子に接続された抵抗よりも高い抵抗値を有する。すなわち、各端子と共に電極との間を接続する抵抗であってデータ線端子X1等に接続されている抵抗R2は、制御信号端子CXおよびCYに接続されている抵抗R1よりも抵抗値が高く設定されている（ $R1 < R2$ ）。上記と同様の理由である。

【0040】

さらに本発明では、隣接する端子間に形成された第1抵抗およびその端子と共に電極との間に形成された第2抵抗が共に接続されている場合、第1抵抗は、第2抵抗よりも高い抵抗値を有する。すなわち、データ線端子における抵抗R4—R2間および信号制御端子における抵抗R3—R1間では、第1抵抗（R4、R3）が第2抵抗（R2、R1）よりそれぞれ高い抵抗値に設定されている。共通電極101に繋がる第2抵抗（R2、R1）が低抵抗なので、端子間に接続する第抵抗（R4、R3）より多くの静電電流が流れ、内部回路を静電放電から効果的に防止できるからである。

【0041】

またさらに本発明は、少なくとも一端がアナログ端子に接続された第1抵抗および第2抵抗のいずれもが、デジタル端子間に接続された第1抵抗および当該デジタル端子と共通電極との間に接続された第2抵抗よりも高い抵抗値を有する。すなわち、データ線端子X1/X2に接続されるいずれの抵抗R2/R4も、データ線端子には接続されず、かつ制御信号端子CX/CYに接続される抵抗R3やR1よりも高い抵抗値に設定される。クロストークを発生しやすいアナログ信号が流れるアナログ端子の方が高い抵抗値を有するので、静電破壊防止を図りつつクロストークの発生を挙力抑えることができるのである。

【0042】

さらにまた本発明は、電源端子と隣接した非電源端子との間に抵抗を備える。すなわち、陽極端子VBは制御信号端子CXと隣接しており、この間に抵抗R3を備えている。電源端子は通常低インピーダンスであるため、電源端子と抵抗で接続すれば静電破壊防止を効果的に図ることができるのである。

【0043】

ここで、電源端子に接続されている抵抗は、他の非電源端子に接続された抵抗と同じまたは低い抵抗値を有する。すなわち、陽極端子VR/VG/VBに接続される抵抗は制御信号端子CXやCYに接続されている抵抗と同等程度以下の抵抗値に設定されている。電源端子は通常低インピーダンスであるため、共通電極と同様に相対的に低い抵抗値の抵抗で接続すれば、より多くの電流を、電源端子に接続する抵抗を介して電源端子に流すことができるのである。

【0044】

上記関係をまとめれば、抵抗領域120における抵抗値の大小関係は、

$$R1 \ll R3 < R2 < R4$$

と表される。ただし、上記関係を満たしていないくとも静電破壊防止は期待できる。

【0045】

次に、図3(a)の拡大平面図および各部の断面図(図3(b)～(e))を参照して、抵抗領域102の層構造を説明する。これら図は共通電極101を含

む端子二つ分（T1、T2）について拡大したものである。抵抗値の差はあっても各抵抗は類似した抵抗構造を備えるので、いずれの端子についても同様に考えられる。

【0046】

端子間抵抗構造（第1抵抗構造） R_x は、端子T1およびT2間の抵抗であり、平面図上幅 W_x と端子間距離 D_x とを備える。端子－共通電極間抵抗構造（第2抵抗構造） R_y は、端子T1またはT2と共通電極CEとの間の抵抗であり、平面図上幅 W_y と距離 D_y とを備える。これら抵抗構造 R_x や R_y は半導体膜により形成されている。半導体膜の厚みを一定とすると、各抵抗構造の抵抗値は幅 W と距離 D とに対応して変化する。すなわち、抵抗値 R は、半導体膜の抵抗率を ρ 、半導体膜の厚みを t とすると、

$$R = \rho \cdot D / (W \cdot t)$$

となる。したがってパターニングする半導体膜の幅と距離とを調整することによって、前述した抵抗値の大小関係に応じた所望の抵抗値を付与することが可能である。もちろん、半導体膜に対する厚みを変化させたりドーピング濃度を部分的に変化させたりすることで抵抗値を調整してもよい。すなわち半導体層の厚みを厚くすれば抵抗面積が増えるので抵抗値が対応して減少し、薄くすれば抵抗面積が減るので抵抗値が増加する。また、イオン注入される不純物の濃度が高いほど低抵抗になり、逆にこの濃度が低い程高抵抗とされる。

【0047】

次に抵抗構造の層構造について説明する。図3（b）～(e)の断面図に示すように、これら抵抗構造は基板本体200上に形成された半導体膜201を対応する形状にパターニングすることで形成されている。半導体膜201上には絶縁膜202が形成され、その上に金属層203が形成されて、端子や配線および共通電極の形状にパターニングされて構成されている。半導体膜201のパターニング形状を変更することで抵抗値を調整可能であることが上述のとおりである。

【0048】

当該抵抗構造の製造方法を簡単に説明する。

まずシリカガラスや無アクリルガラス等からなるガラス基板200上に半導体

膜201を形成する。半導体膜としては、ポリシリコンが数 $k\ \Omega/\square$ の適度な抵抗値を有するため好ましいが、その他アモルファスシリコン、ITO等の高抵抗材料を用いてもよい。形成方法としては、例えば低温プラズマCVD法によってアモルファスシリコンを堆積した後エキシマレーザ等を用いレーザーにより結晶化する。ただしその他の公知の技術、例えばスピンドルコート法や液滴吐出法、低圧化学気相堆積法（LPCVD法）や気相堆積法を利用することができる。半導体膜201の厚みは、必要な抵抗値と半導体膜の形状とに応じて定める。

【0049】

半導体膜形成後、必要な抵抗構造になるように、公知のフォトリソグラフィ法等を用いてパターニングする。なお液滴吐出法で直接パターンを基板上に形成する場合にはパターニングを省くことができる。

【0050】

次に絶縁膜202を形成する。絶縁膜としては酸化珪素や窒化珪素、例えばTEOS（テトラエトキシシラン）を利用可能である。形成方法としては、プラズマCVD法が適するが、その他の公知の技術、例えば、溶媒に溶かしたポリシリコンをスピンドルコート法のような塗布法やインクジェット法のような液滴吐出法によって塗布・加熱したり、低圧化学気相堆積法（LPCVD法）、気相堆積法を利用したりして、酸化珪素膜や窒化珪素膜を形成してもよい。

【0051】

最後に金属層203をスパッタ法やCVD法で、または液滴吐出法や塗布法を適用して形成し、端子や共通電極の形状にパターニングする。

【0052】

なお、上記した工程は抵抗構造RxとRyとで共通の半導体膜を用いるものであったが、異なる半導体膜を用いてもよい。この場合には、それぞれの抵抗構造のための半導体膜の形成とパターニングはそれぞれ別工程として行うことになる。

【0053】

また金属層についても同様に端子に係る金属膜と共通電極に係る金属膜を別工程で形成してもよい。

【0054】

なお、抵抗構造として、半導体膜などの抵抗層の代わりに、あるいは抵抗層と並列接続させて、図4に示すような保護回路構造を用いてもよい。図4は、半導体のP N接合における順方向電圧特性や逆方向の降伏電圧特性を利用した保護回路構造を備え、二組のダイオード列を互いに逆向きにして並列接続させたダイオードリング構造を備えている。各ダイオードは例えばMOSトランジスタのゲートとドレインと短絡するようにパターニングすることでMOSプロセスを利用しながら形成可能である。当該保護回構造では、一方の端子にかかる電圧が他方の端子よりもダイオード列の耐圧以上に高くなると、電圧の高い方の端子から低い方の端子へ向かって電流が流れることにより静電気を隣接する配線に逃すように構成されている。ダイオード列において直列させるダイオード数は静電保護作用を生じさせたい電圧値（例えば数十ボルト）に応じて定めることができる。

以上、本実施形態1によれば、アナログ信号に関するアナログ端子とデジタル信号に関するデジタル端子との間で、アナログ端子に接続される抵抗の抵抗値を相対的に高くしたので、総ての端子において抵抗による静電破壊防止を図りつつ、アナログ端子におけるクロストークの発生を極力排除できるという効果を奏する。

【0055】

また本実施形態1では、共通電極と端子との間の抵抗の抵抗値を端子間の抵抗の抵抗値よりも相対的に低くしたので、端子間に接続する抵抗より多くの静電電流が共通電極に流れ、表示パネルの内部回路を静電放電から効果的に防止できる。

【0056】

さらに本実施形態1では、電源端子と隣接した非電源端子との間にも抵抗を備えるようにしたので、電源端子と抵抗で接続すれば静電破壊防止を効果的に図ることができる。

【0057】

以上の作用効果により、本実施形態1の回路基板を利用すれば、製造工程にお

いて帯電しやすいガラス基板上に形成される表示パネルの内部回路を静電破壊から防止することができる。また製造後の使用時においても各端子に印加されやすい静電放電に対して表示パネル内部の内部回路を保護することができる。

【0058】

<実施形態2>

本発明の実施形態2は、実施形態1と同様のEL表示パネルに係るが、アナログ端子とそれ以外の端子との配置が異なる。

【0059】

本実施形態2では、図1の平面図において、走査回路12aおよびbの配置が陰極配線10aおよびbと陽極配線11aおよびbとの間に配置される。その他の点は実施形態1と同様であり、各構成の機能については実施形態1と同様に考えられるため、その説明を省略する。

【0060】

図5に、当該実施形態2における各端子の配置の模式図を示す。特に本実施形態2では、制御信号端子CX/CYが陰極端子Vcと陽極端子VRとの間に配置されている。図5ではさらに説明を簡単にするため、性質の重複する多くの端子を省略して示してある。

【0061】

図5に示すように、本実施形態2では、最外部から内側にかけて、陰極端子Vc、制御信号端子CX/CY、陽極端子VR/VG/VB、データ線端子X1/X2の各端子が配置されている。この中で、データ線端子がアナログ信号を流すアナログ端子に相当し、制御信号端子がデジタル信号を流すデジタル端子に相当する。陰極端子が共通電極に電気的に接続されており、陽極端子が電源端子に相当している。ただし、陽極の電源がアクティブに変化する場合には、静電破壊防止対策上陽極端子をデジタル端子として取り扱ってもよい。

【0062】

抵抗の配置については、実施形態1（図2）とほぼ同様であるが、陽極端子VBとそれに隣接するデータ線端子X1との間の抵抗がR2とされている点で異なる。すなわち、本実施形態2では、アナログ端子であるデータ線端子X1と隣接する

非アナログ端子は低インピーダンスの陽極端子VBであり、デジタル信号が流れているわけでもないため、クロストークが生じにくい。クロストークのおそれがない限りは入力抵抗が下がることによる動作上の問題がない限り、静電破壊防止用抵抗の抵抗値はできるだけ低い方が効果的である。したがって、本実施形態2では、陽極端子とデータ線端子との間の抵抗をR2としてある。

【0063】

その他の端子における抵抗値の設定に関しては実施形態1と同様に考えられるため、その説明を省略する。すなわち、実施形態1と同様の考え方で、抵抗領域120における抵抗値の大小関係は、

$$R1 \ll R3 < R2 < R4$$

と表される。ただし、上記関係を満たしていなくてもある程度の静電破壊防止は期待できる。

【0064】

以上、本実施形態2では、実施形態1と同様の効果を奏する他、アナログ端子に隣接する端子を非デジタル端子である電源端子としたので、より低い抵抗値の抵抗で接続することが可能であり、より高い静電破壊防止効果を奏する。

【0065】

<実施形態3>

本発明の実施形態3は、実施形態1と同様のEL表示パネルに係るが、アナログ端子とそれ以外の端子との配置が異なる。

【0066】

本実施形態3では、図1の平面図において、データ線13の一部が陰極配線陰極配線10aおよびbと陽極配線11aおよびbとの間に配置されている。その他の点は実施形態1と同様である。各構成の機能については本実施形態1と同様に考えられるため、その説明を省略する。

【0067】

図6に、当該実施形態3における各端子の配置の模式図を示す。特に本実施形態3では、データ線端子X1/X2が陰極端子Vcと陽極端子VRとの間に配置されている。図6ではさらに説明を簡単にするため、性質の重複する多くの端子を省

略して示してある。

【0068】

図6に示すように、本実施形態3では、最外部から内側にかけて、陰極端子Vc、データ線端子X1/X2、陽極端子VR/VG/VB、制御信号端子CX/CYの各端子が配置されている。この中で、データ線端子がアナログ信号を流すアナログ端子に相当し、制御信号端子がデジタル信号を流すデジタル端子に相当する。陰極端子が共通電極に電気的に接続されており、陽極端子が電源端子に相当している。ただし、陽極の電源がアクティブに変化する場合には、静電破壊防止対策上陽極端子をデジタル端子として取り扱ってもよい。

【0069】

抵抗の配置については、実施形態1（図2）とほぼ同様であるが、データ線端子X1が陰極Vcと、データ線端子X2が陽極端子VRと、それぞれ隣接している点が異なる。すなわち、本実施形態3では、アナログ端子であるデータ線端子X1と隣接する非アナログ端子は低インピーダンスの陰極端子VCであり、同じくアナログ端子であるデータ線端子X2と隣接する非アナログ端子は低インピーダンスの電源端子である陽極端子VRである。両電極端子ともデジタル信号が流れているわけでもないため、データ線との間でクロストークが生じにくい。クロストークのおそれが無い限りは入力抵抗が下がることによる動作上の問題がない限り、静電破壊防止用抵抗の抵抗値はできるだけ低い方が効果的である。したがって、本実施形態3では、陰極端子／陽極端子と各データ線端子との間の抵抗をR2としてある。

【0070】

その他の端子における抵抗値の設定に関しては実施形態1と同様に考えられるため、その説明を省略する。すなわち、実施形態1と同様の考え方で、抵抗領域120における抵抗値の大小関係は、

$$R1 \ll R3 < R2 < R4$$

と表される。ただし、上記関係を満たしていないこともある程度の静電破壊防止は期待できる。

【0071】

以上、本実施形態3では、実施形態1と同様の効果を奏する他、アナログ端子に隣接する端子を非デジタル端子である電源端子としたので、より低い抵抗値の抵抗で接続することが可能であり、より高い静電破壊防止効果を奏する。

【0072】

特にアナログ信号が流れるデータ線については隣接する非アナログ配線にデジタル信号が流れている場合にクロストークの影響を受けやすい。しかし本実施形態のようにデータ線を極力電源配線の間に挟みデジタル信号が流れる制御信号端子と離すように配置することで、より効果的に静電破壊防止を図ることができる。

【0073】

<実施形態4>

本実施形態4は、上記実施形態で説明した回路基板を利用した電気光学装置であるEL表示パネルに関する。

【0074】

図7に、本実施形態における表示パネル1の実質的な接続図を示す。本実施形態4の表示パネルは、各画素領域に電界発光（EL）効果により発光可能な発光層OLED、それを駆動するための電流を記憶する保持容量C、薄膜トランジスタT1およびT2を備えて構成されている。走査回路12からは、走査線Vsel（14）が各画素領域に供給されている。外部の図示しないD/A変換器からはアナログ信号が端子を介してデータ線Vsig（13）に供給されている。陽極配線はVdに相当している。走査線Vselとデータ線Vsigを制御することにより、各画素領域に対する電流プログラムが行われ、発光部OLEDによる発光が制御される。

【0075】

なお、上記駆動回路は、発光要素にEL素子を使用する場合の回路の一例であり他の回路構成も可能である。また発光要素に液晶表示素子を利用することも回路構成を種々変更することにより可能である。

【0076】

特に本実施形態4では、各信号や電源の入口に相当する端子群において抵抗領

域102が形成されており、実施形態1～3で説明したような静電保護作用を奏する。すなわち、本発明の基板回路の作用により、本実施形態のような表示パネルにおいて、製造中または製造後の使用中における静電破壊から画素回路や走査回路などの内部回路を効果的に保護することができる。

【0077】

<実施形態5>

本実施形態5は、上記実施形態4で説明したような電気光学装置である表示パネルを利用した電子機器に関する。

本発明の回路基板を利用した電気光学装置は、種々の電子機器に適用可能である。図8に、本表示パネル1を適用可能な電子機器の例を挙げる。

【0078】

図8（a）は携帯電話への適用例であり、当該携帯電話30は、アンテナ部31、音声出力部32、音声入力部33、操作部34、および本発明の表示パネル1を備えている。このように本発明の表示パネルは携帯電話の表示部として利用可能である。

【0079】

図8（b）はビデオカメラへの適用例であり、当該ビデオカメラ40は、受像部41、操作部42、音声入力部43、および本発明の表示パネル1を備えている。このように本発明の表示パネルは、ビデオカメラのファインダーや表示部として利用可能である。

【0080】

図8（c）は携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ50は、カメラ部51、操作部52、および本発明の表示パネル1を備えている。このように本発明の表示パネルは、コンピュータ装置の表示部として利用可能である。

【0081】

図8（d）はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ60は、バンド61、光学系収納部62および本発明の表示パネル1を備えている。このように本発明の表示パネルはヘッドマウントディスプ

レイの画像表示源として利用可能である。

【0082】

図8（e）はリア型プロジェクターへの適用例であり、当該プロジェクター70は、筐体71に、光源72、合成光学系73、ミラー74・75ミラー、スクリーン76、および本発明の表示パネル1を備えている。このように本発明の表示パネルはリア型プロジェクタの画像表示源として利用可能である。

【0083】

図8（f）はフロント型プロジェクターへの適用例であり、当該プロジェクター80は、筐体82に光学系81および本発明の表示パネル1を備え、画像をスクリーン83に表示可能になっている。このように本発明の表示パネルはフロント型プロジェクタの画像表示源として利用可能である。

【0084】

上記例に限らず本発明の回路基板および電気光学装置は、あらゆる電子機器に適用可能である。例えば、この他に、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型TV、DSP装置、PDA、電子手帳、電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

【0085】

【発明の効果】

本発明によれば、アナログ端子に接続された抵抗がデジタル端子間のそれよりも高いので、総ての端子において抵抗による静電破壊防止を図りつつ、アナログ端子におけるクロストークの発生を極力排除できるという効果を奏する。

【0086】

また本発明によれば、第1抵抗と第2抵抗とが端子に並列して接続されている場合には、アナログ端子において隣接する端子との間の第1抵抗がある程度高い抵抗値であっても、並列接続によって合成抵抗値が大幅に低減し、効果的に静電破壊防止を図ることができる。

【0087】

したがって本発明によれば、製造工程において帶電により発生する静電放電に対し回路基板の内部回路を効果的に保護することができる。また回路基板製造後

の使用時においても各端子に印加されやすい静電放電に対して内部回路を効果的に保護することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態1における回路基板の回路配置の平面図である。

【図2】 実施形態1における抵抗領域における配線の模式図である。

【図3】 実施形態1における抵抗構造の一例を示すもので、図3（a）は一部拡大平面図、図3（b）～（e）は図3（a）の各B～Eの切断面の断面図である。

【図4】 本発明の抵抗の変形例であるダイオード列による保護回路例である。

【図5】 実施形態2における抵抗領域における配線の模式図である。

【図6】 実施形態3における抵抗領域における配線の模式図である。

【図7】 実施形態4における電気光学装置である表示パネルの配線図である。

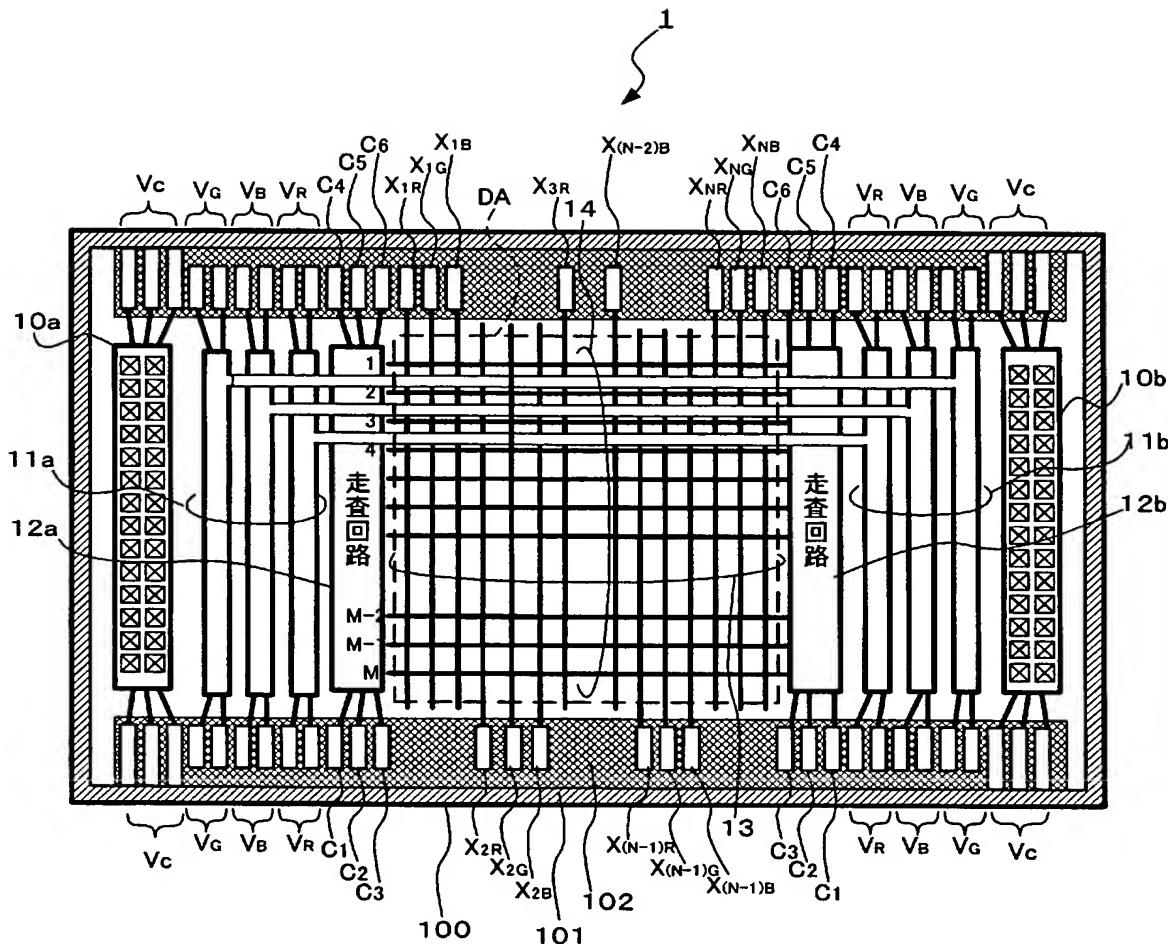
【図8】 実施形態5における電子機器の例であり、（a）は携帯電話、（b）はビデオカメラ、（c）は携帯型パーソナルコンピュータ、（d）はヘッドマウントディスプレイ、（e）はリア型プロジェクター、（f）はフロント型プロジェクターへの本発明の表示パネルの適用例である。

【符号の説明】

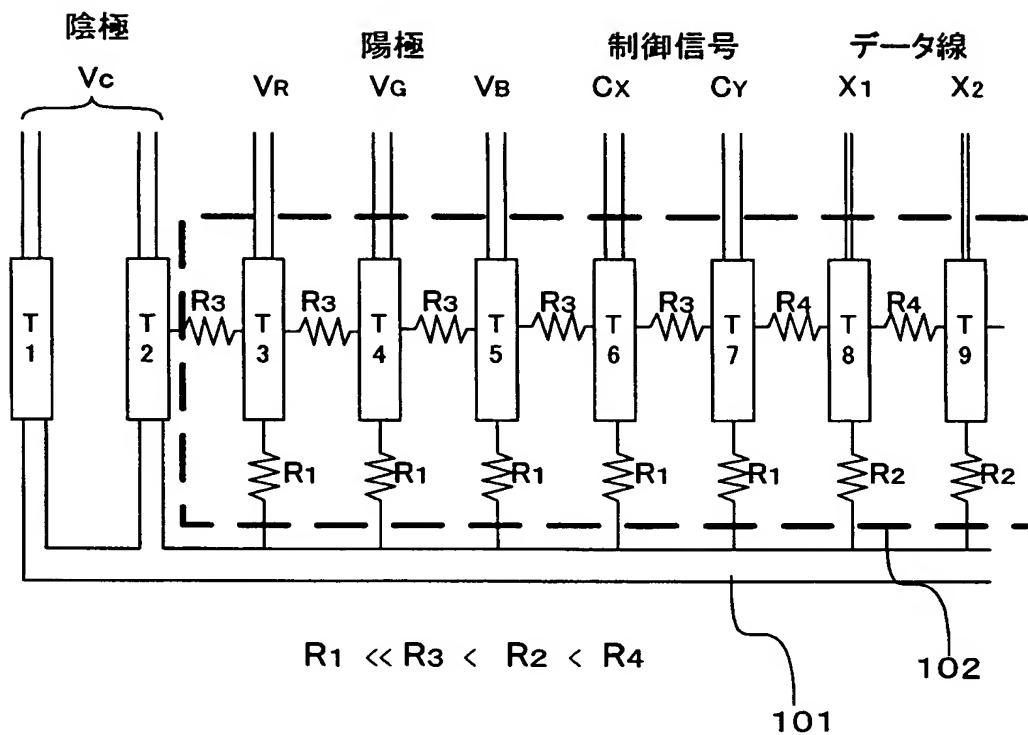
R1～R5…抵抗（保護回路）、T1～T9…端子、Vc…陰極端子、VR・VG・VB…陽極端子、CX・CY…制御信号端子、X1・X2…データ線端子、1…回路基板、10…陰極配線、11…陽極配線、12…走査回路、13…データ線、14…走査線、15…金属層、101…共通電極、102…抵抗領域

【書類名】 図面

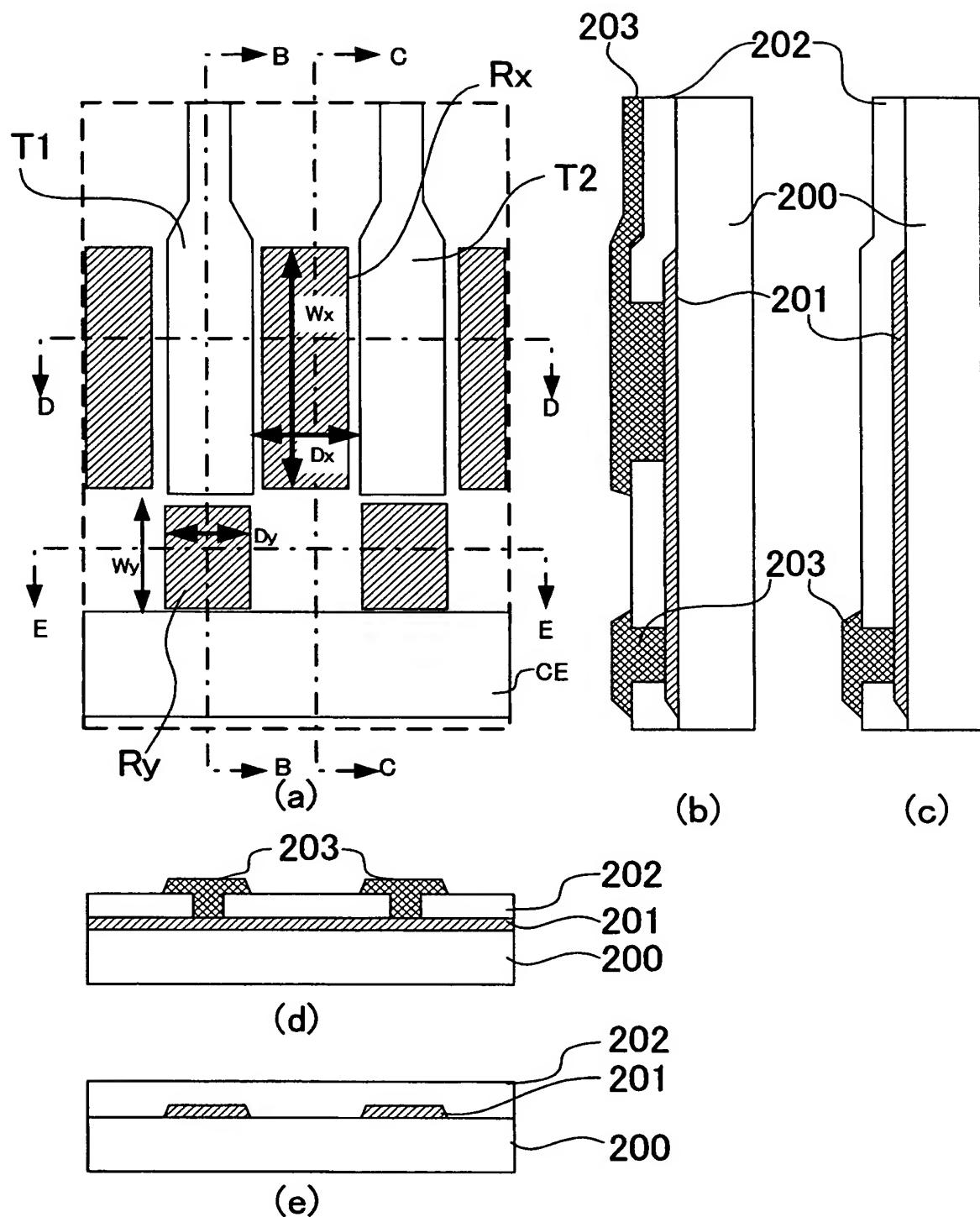
【図 1】



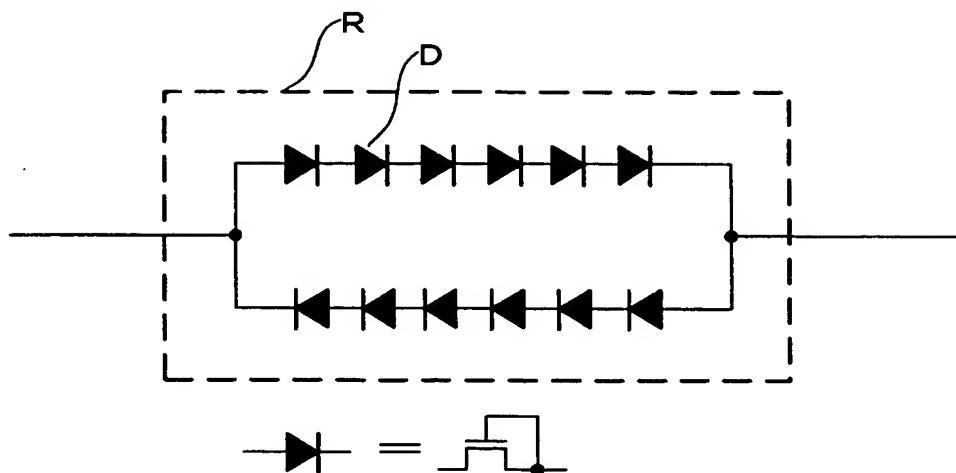
【図 2】



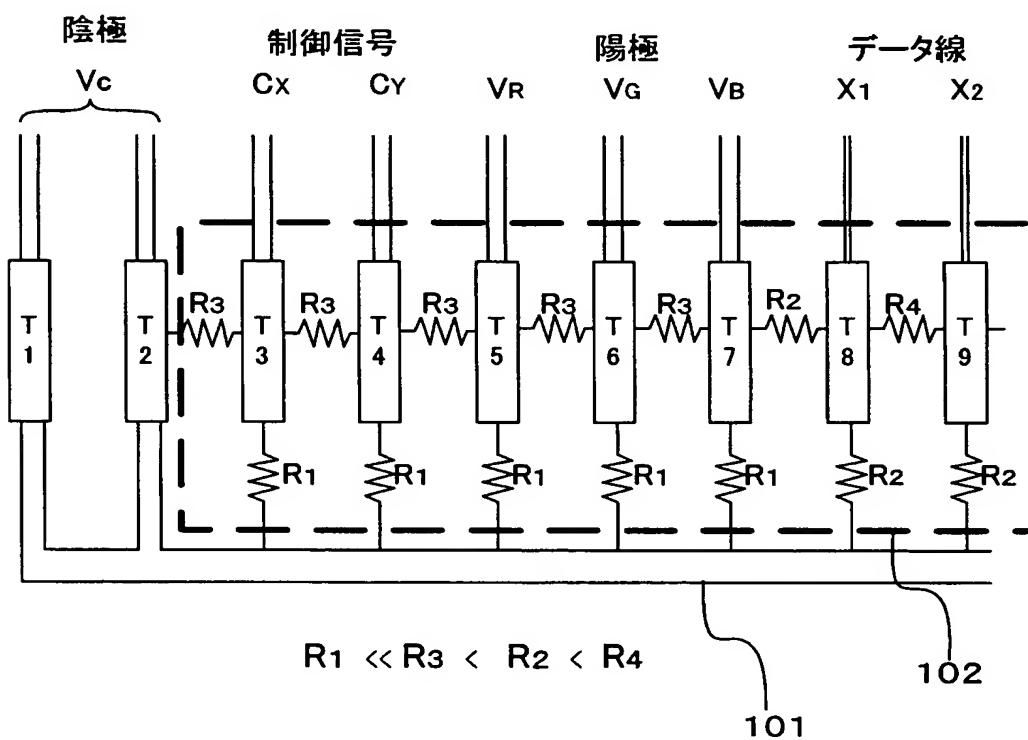
【図3】



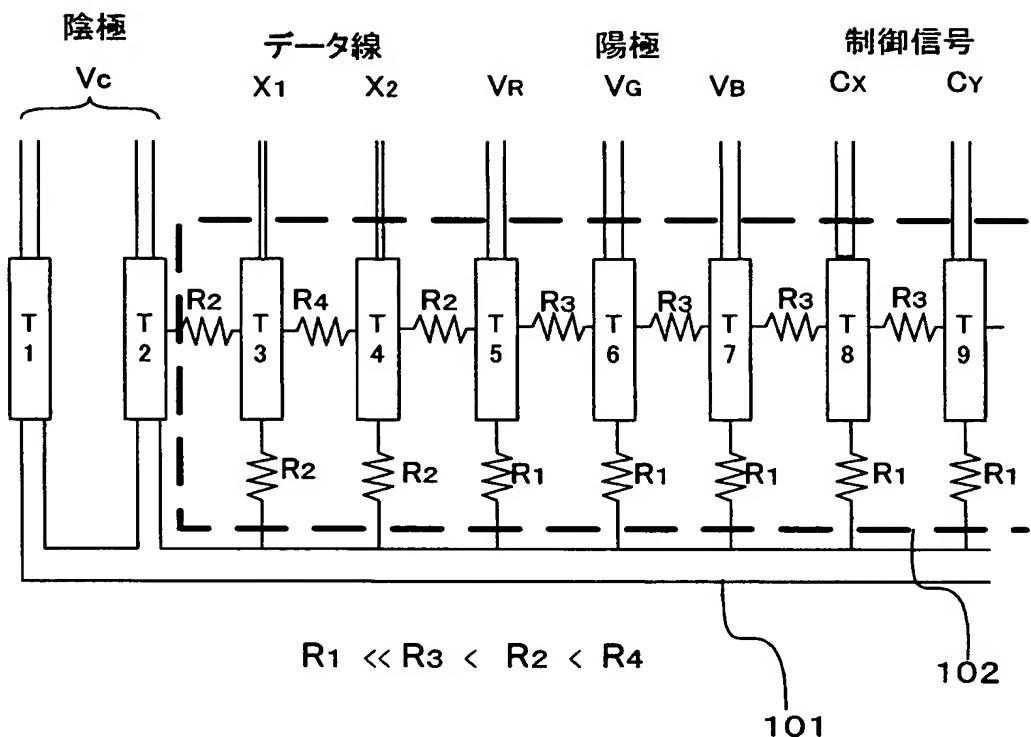
【図4】



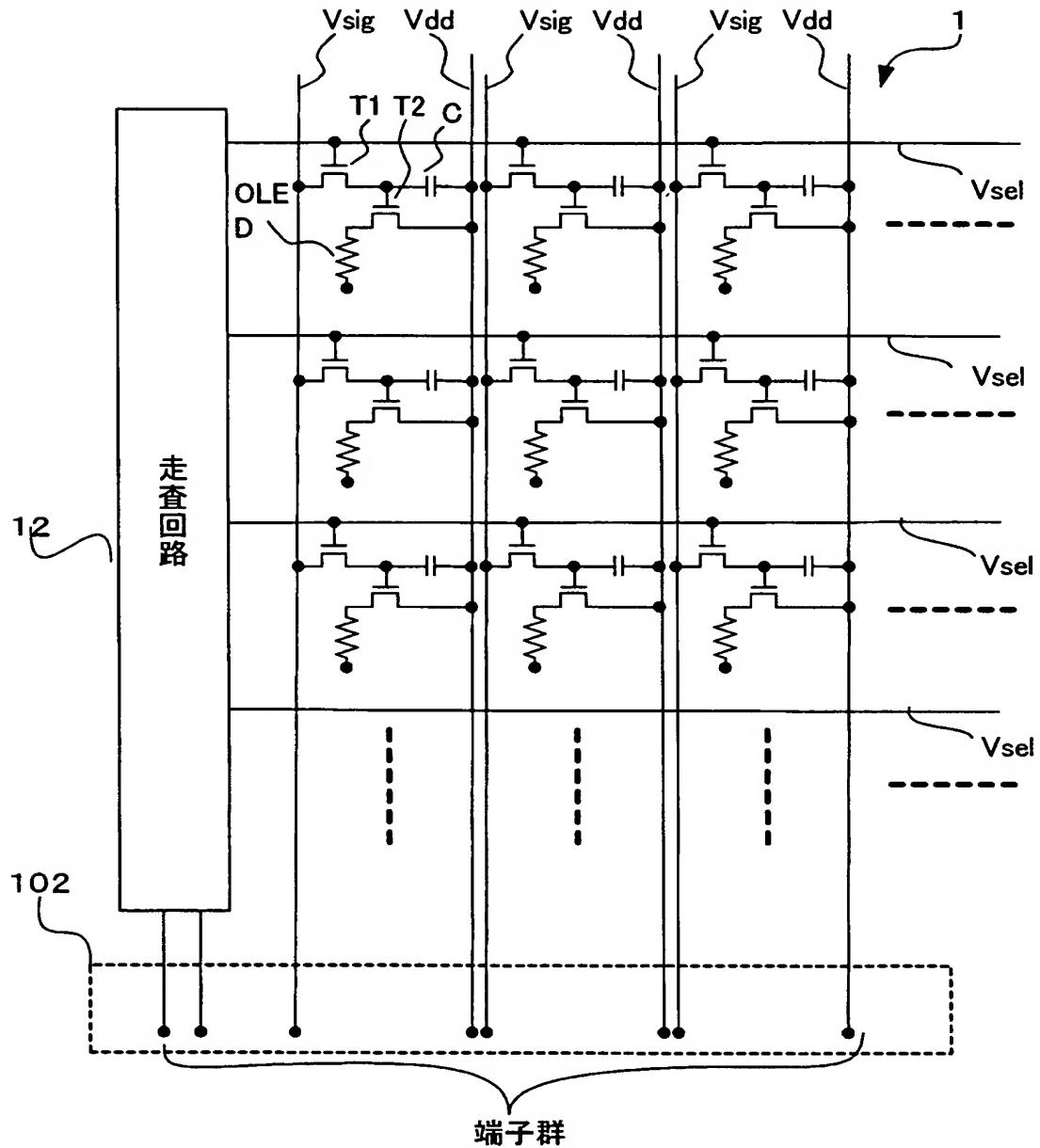
【図5】



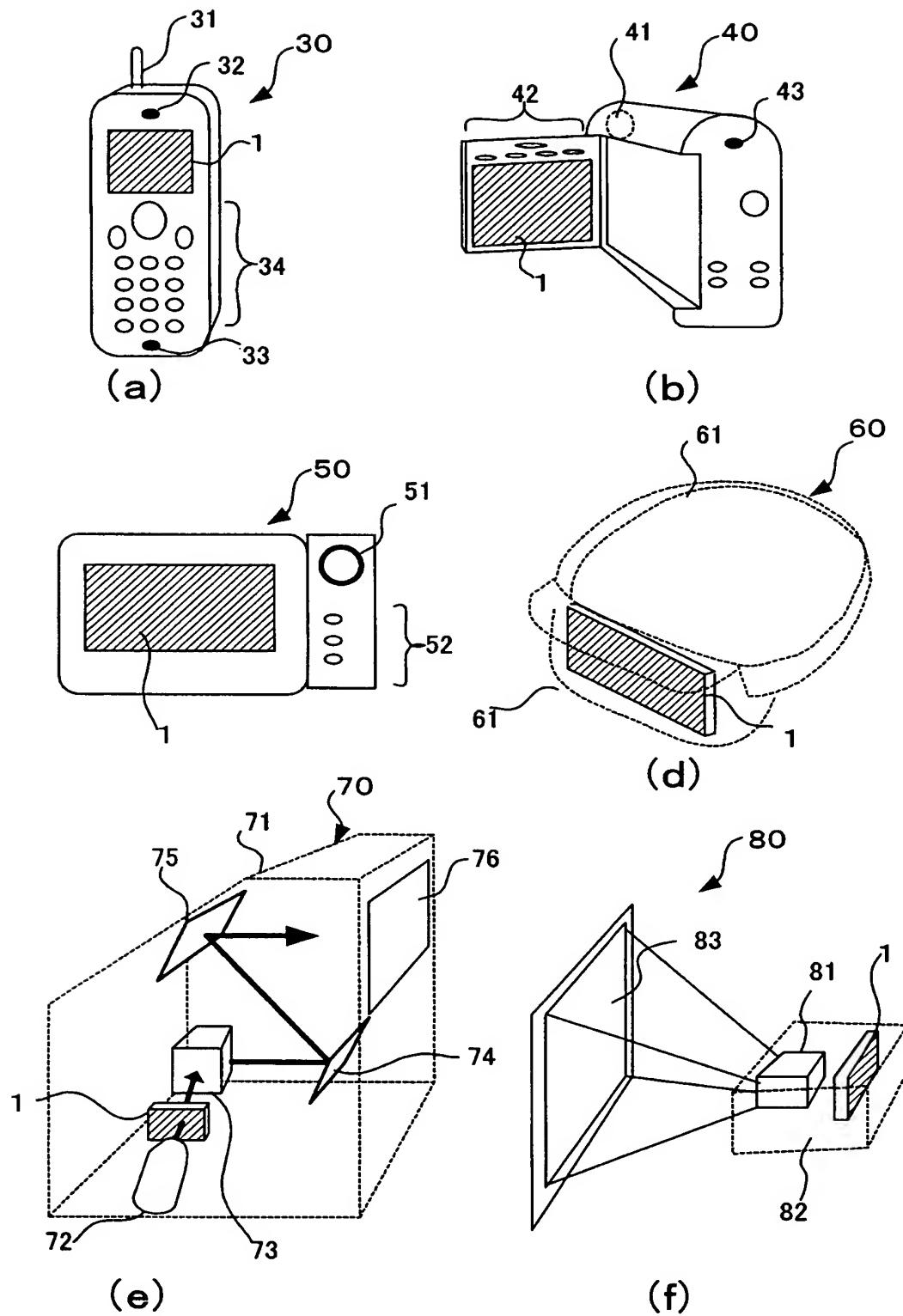
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 EL表示パネル等に有効な静電破壊防止回路を備える回路基板の提供。

【解決手段】 基板（100）と、基板（100）の周囲に形成された共通電極（101）と、基板（100）上に形成された複数の端子（T）と、一以上の互いに隣接する端子間に形成された第1抵抗（R3、R4）と、一以上の端子（T）と共に共通電極（101）との間に形成された第2抵抗（R1、R2）と、を備える。同一の端子（T）に第1抵抗と第2抵抗とが接続されており、第1抵抗は、第2抵抗よりも高い抵抗値を有する。

【選択図】 図2

認定・付加情報

特許出願の番号	特願2002-314922
受付番号	50201634573
書類名	特許願
担当官	第二担当上席 0091
作成日	平成14年10月30日

<認定情報・付加情報>

【提出日】	平成14年10月29日
-------	-------------

次頁無

特願2002-314922

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号

氏名 セイコーエプソン株式会社